

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-110712

(43)Date of publication of application : 12.04.2002

(51)Int.Cl.

H01L 21/56

H01L 21/60

H01L 23/28

H05K 1/18

(21)Application number : 2000-292153

(71)Applicant : CASIO COMPUT CO LTD

(22)Date of filing : 26.09.2000

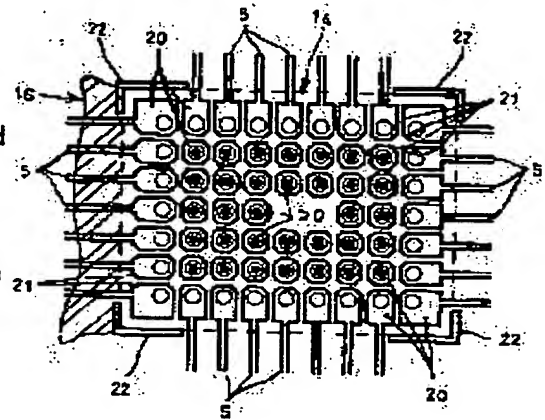
(72)Inventor : TAKENAKA HIROSHI
USUI NORIHISA

(54) MOUNTING STRUCTURE OF SEMICONDUCTOR CHIP

(57)Abstract:

PROBLEM TO BE SOLVED: To surely fix a semiconductor chip on a wiring board by smoothly advancing an underfill between the semiconductor chip and the wiring board.

SOLUTION: In the mounting structure of the semiconductor chip for filling the underfill 16 between the semiconductor chip 14 and a multi-layer wiring board 1, after each bump electrode 15 of the semiconductor chip 14 has been connected to each pad 20 of the multi-layer wiring board 1, an incline-shaped corner cut part 21 is formed on each corner of the upstream side in the advancing direction of at least the underfill 16 of each corner of each pad 20 of the multi-layer wiring board 1. Thus, when the underfill 16 is filled between the semiconductor chip 14 and the multi-layer wiring board 1, even if a gap between the pads 20 is narrow, the underfill 16 can be advanced smoothly between the pads 20 by the corner cut part 21 of each pad 20, thereby the underfill 16 is surely filled, and the semiconductor chip 14 can be fixed surely and firmly on the multi-layer wiring board 1.



LEGAL STATUS

[Date of request for examination]

25.02.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

BEST AVAILABLE COPY

THIS PAGE BLANK (USPTO)

【 特許請求の範囲】

【 請求項1 】 半導体チップの裏面に設けられた複数のバンプ電極を、配線基板の上面に設けられた複数のパッドに接続した後、前記半導体チップと前記配線基板との間にアンダーフィルを充填させてなる半導体チップの実装構造において、

前記配線基板の複数のパッドの各コーナ部のうち、少なくとも前記アンダーフィルの進入方向における上流側の各コーナ部に円弧形状または傾斜形状の隅切り部を形成したことを特徴とする半導体チップの実装構造。

【 請求項2 】 前記複数のパッドのすべてのコーナ部に前記隅切り部を形成したことを特徴とする請求項1に記載の半導体チップの実装構造。

【 請求項3 】 前記複数のパッドのうち、少なくとも最外周の隅部に位置するパッドを、その外側縁が前記半導体チップの外形とほぼ一致する大きさに形成したことを特徴とする請求項1または2に記載の半導体チップの実装構造。

【 請求項4 】 前記複数のパッドのうち、最外周に位置するパッドを、その外側縁が前記アンダーフィルの塗布範囲の外周とほぼ一致する大きさに形成し、かつ最外周の隅部に位置するパッドに前記半導体チップの位置合わせ部を設けたことを特徴とする請求項1または2に記載の半導体チップの実装構造。

【 請求項5 】 前記複数のパッドの外周側に位置する前記配線基板の上面に前記半導体チップの位置合わせ部を設けると共に、前記アンダーフィルの塗布範囲の外周に位置する前記配線基板の上面に前記アンダーフィルの流れ止め部を設けたことを特徴とする請求項1または2に記載の半導体チップの実装構造。

【 発明の詳細な説明】

【 0001 】

【 発明の属する技術分野】 この発明は半導体チップの実装構造に関する。

【 0002 】

【 従来の技術】 例えば、携帯型の電話機や腕時計などの電子機器においては、小型化、軽量化、および高密度化が要望されている。これに伴って、電子機器に組み込まれる半導体素子においては、その集積度がますます増大し、多ピン、狭ピッチ化が進み、その実装においては、半導体素子をベアチップのまま配線基板上に搭載する傾向にある。また、配線基板においては、高密度化に伴って多層化する傾向にあり、これにより多層配線基板が用いられている。この多層配線基板としては、例えば、配線が形成された基板材を複数積層し、各基板材に非貫通の接続穴部（インターステシャルビアホール；以下I V Hと略記する）を形成し、これらI V Hにより上下に対応して接続を必要とする配線同士を電気的に接続した構造のものである。

【 0003 】 このような多層配線基板の上面に半導体チ

ップを搭載する場合には、CSP（チップサイズパッケージ）やBGA（ボールグリッドアレイ）などの半導体チップの裏面に設けられた複数のバンプ電極を、多層配線基板の上面に設けられた複数のパッドに接続した後、半導体チップと多層配線基板との間にアンダーフィルを充填させ、これにより半導体チップを多層配線基板上に固定している。図18～図20は、従来の半導体チップの実装構造の一例を示した図である。多層配線基板1は、図19に示すように、上から順に、第1～第3基板材2～4を積層した構造になっている。

【 0004 】 各基板材2～4は、耐熱性繊維とエポキシ樹脂などを組み合わせた絶縁性を有する複合材料からなり、各基板材2～4の表面には、銅箔を所定形状にパターンニングしてなる第1～第4配線5～8がそれぞれ上から順に形成されている。また、各基板材2～4には、それぞれI V H9が形成されている。これらI V H9は、図19に示すように、各基板材2～4に微細な貫通穴加工を施し、その内部に導電ペーストなどの導電材を設けた構造で、各基板材2～4の上下に対応して接続を必要とする各配線5～8を電気的に接続している。

【 0005 】 また、この多層配線基板1の上面、つまり最上面の第1基板材2の上面には、図18および図19に示すように、複数のパッド10が縦横にマトリクス状に配列されて形成されている。これらパッド10は、それぞれ四角形状に形成されており、これらパッド10のうち、最外周に位置する各パッド10は、最上面の第1基板材2上に形成された各第1配線5とそれぞれ接続されている。また、これら最外周に位置する各パッド10よりも内側に位置する各パッド10は、図19に示すように、それぞれI V H9によって第1～第4配線5～8のいずれかに接続されている。なお、多層配線基板1の最上面の第1基板材2の上面には、各パッド10および各第1配線5を覆ってレジスト膜11が形成されている。このレジスト膜11はソルダーレジストであり、各パッド10の中央部分に位置する箇所を開口部12が形成されている。また、多層配線基板1の最下面の第3基板材5の下面にも、レジスト膜13が各第4配線8を覆って設けられている。

【 0006 】 一方、多層配線基板1上に搭載される半導体チップ14は、CSPなどであり、その裏面（図19では下面）に複数のバンプ電極15が、多層配線基板1の各パッド10と同様、縦横にマトリクス状に配列されて形成されている。これらバンプ電極15は、それぞれ半田ボールであり、半導体チップ14の下面から所定の厚み（高さ）で下方に突出している。この半導体チップ14を多層配線基板1上に搭載する場合には、半導体チップ14の下面の各バンプ電極15をレジスト膜11の各開口部12に挿入させて多層配線基板1の各パッド10に対応させ、この状態で各バンプ電極15を各パッド10に接合する。このときには、各バンプ電極15の厚

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2002-110712
(P2002-110712A)

(43)公開日 平成14年4月12日(2002.4.12)

(51)Int.Cl. ⁷	識別記号	F I	テ-マコ-ト(参考)
H 0 1 L 21/56		H 0 1 L 21/56	E 4 M 1 0 9
21/60	3 1 1	21/60	3 1 1 S 5 E 3 3 6
23/28		23/28	C 5 F 0 4 4
H 0 5 K 1/18		H 0 5 K 1/18	L 5 F 0 6 1

審査請求 未請求 請求項の数5 O L (全 10 頁)

(21)出願番号 特願2000-292153(P2000-292153)

(22)出願日 平成12年9月26日(2000.9.26)

(71)出願人 000001443

カシオ計算機株式会社

東京都渋谷区本町1丁目6番2号

(72)発明者 竹中 宏

東京都羽村市栄町3丁目2番1号 カシオ
計算機株式会社羽村技術センター内

(72)発明者 碓氷 則久

東京都羽村市栄町3丁目2番1号 カシオ
計算機株式会社羽村技術センター内

(74)代理人 100073221

弁理士 花輪 義男

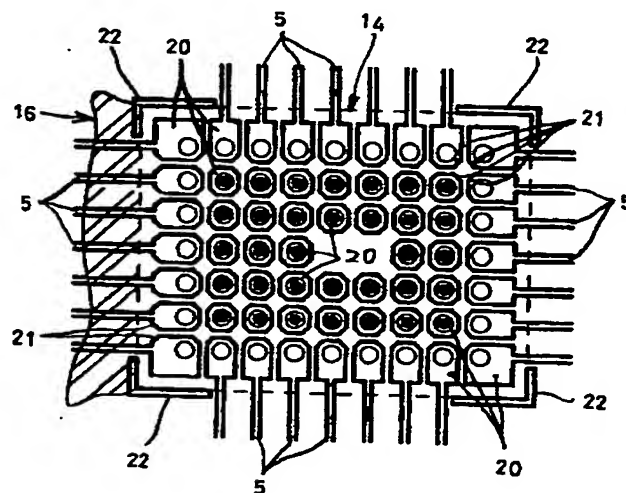
最終頁に続く

(54)【発明の名称】 半導体チップの実装構造

(57)【要約】

【課題】 半導体チップと配線基板との間にアンダーフィルを円滑に進入させて、確実に半導体チップを配線基板上に固定させる。

【解決手段】 半導体チップ14の各バンプ電極15を多層配線基板1上の各パッド20に接続した後、半導体チップ14と多層配線基板1との間にアンダーフィル16を充填させてなる半導体チップの実装構造において、多層配線基板1の各パッド20の各コーナ部のうち、少なくともアンダーフィル16の進入方向における上流側の各コーナ部に傾斜形状の隅切り部21を形成した。従って、半導体チップ14と多層配線基板1との間にアンダーフィル16を充填する際、各パッド20間の隙間が狭くても、各パッド20の隅切り部21によってアンダーフィル16を各パッド20間に円滑に進入させることができ、これにより確実にアンダーフィル16を充填させて、半導体チップ14を多層配線基板1上に確実かつ強固に固定できる。



BEST AVAILABLE COPY

してI V H 9 が接続するパッド20は、図2および図4に示すように、そのすべてのコーナ部に傾斜形状の隅切り部21が形成されている。

【0016】これにより、各パッド20のコーナ部のうち、少なくともアンダーフィル16の進入方向における上流側に位置する各コーナ部に隅切り部21が形成されることになる。また、各パッド20の各コーナ部の隅切り部21が対応する交差点部分では、図2に示すように、各パッド20間の隙間が広く形成されている。さらに、最外周部に位置するパッド20のうち、四隅のパッド20よりも外周側に位置する箇所の多層配線基板1の第1基板材2上には、図3に示すように、半導体チップ14の位置合わせ凸部22が第1配線5と同じ銅箔によって形成され、レジスト膜11によって覆われている。

【0017】このような半導体チップ14の実装構造では、半導体チップ14の各パンプ電極15と多層配線基板1の各パッド20とを接合させた状態で、半導体チップ14と多層配線基板1との間にアンダーフィル16を半導体チップ14の左辺側から充填するときに、多層配線基板1に対する各パッド20の接合強度を確保するために、各パッド20の接合面積を大きく形成し、これにより各パッド20間の隙間が狭くなっても、アンダーフィル16の進入方向における上流側の各コーナ部に傾斜形状の隅切り部21が形成されているので、アンダーフィル16を各パッド20間に円滑に進入させることができる。

【0018】すなわち、アンダーフィル16が進入する半導体チップ14の左辺側では、これに対応する左辺側のパッド20の外側の各コーナ部に傾斜形状の隅切り部21が形成されているので、これら隅切り部21によってアンダーフィル16を各パッド20間に円滑に進入させることができる。また、各パッド20の各コーナ部の隅切り部21が対応する交差点部分では、図2に示すように、各パッド20間の隙間が広く形成されているので、各交差点部分にアンダーフィル16が進入しやすく、しかも各交差点部分に進入したアンダーフィル16を進行方向である右方向、および進行方向と直交する上下方向の3方向に円滑に分岐させることができる。

【0019】このように、この半導体チップ14の実装構造によれば、アンダーフィル16を各パッド20間に円滑に進入させることにより、半導体チップ14と多層配線基板1との間にアンダーフィル16を確実に充填させることができ、半導体チップ14を多層配線基板1上に確実かつ強固に固定させることができる。また、多層配線基板1の第1基板材2上に半導体チップ14の位置合わせ凸部22が設けられているので、この位置合わせ凸部22により半導体チップ14を容易に位置合わせすることができ、これにより半導体チップ14の各パンプ電極15と多層配線基板1の各パッド20とを正確に位置合わせさせることができる。

【0020】なお、上記第1実施形態では、アンダーフィル16を半導体チップ14の左辺側の一方のみから流入させて充填する場合について述べたが、これに限らず、例えば図5～図10に示すように、アンダーフィル16を半導体チップ14の複数方向から流入させて充填するように構成しても良い。すなわち、図5および図6に示された第1変形例では、アンダーフィル16を半導体チップ14の左辺側と右辺側の2方向から充填する場合であり、最外周部に位置するパッド20のうち、半導体チップ14の左辺側および右辺側に位置する各パッド20の外側および内側の各コーナ部に傾斜形状の隅切り部21を形成し、これ以外のパッド20を第1実施形態と同じ構造にすれば良い。このようにすれば、半導体チップ14の左辺側と右辺側の2方向からアンダーフィル16を円滑に流入させて充填させることができる。

【0021】また、図7および図8に示された第2変形例では、アンダーフィル16を半導体チップ14の左辺側、右辺側、下辺側の3方向から充填する場合であり、最外周部に位置するパッド20のうち、半導体チップ14の左辺側、右辺側、および下辺側に位置する各パッド20の外側および内側の各コーナ部に傾斜形状の隅切り部21を形成し、これ以外のパッド20を第1実施形態と同じ構造にすれば良い。このようにすれば、半導体チップ14の左辺側、右辺側、下辺側の3方向からアンダーフィル16を円滑に流入させて充填させることができる。

【0022】さらに、図9および図10に示された第3変形例では、アンダーフィル16を半導体チップ14の左右上下の4辺側の4方向から充填する場合であり、最外周部に位置するパッド20の外側および内側の各コーナ部に傾斜形状の隅切り部21を形成し、これ以外のパッド20を第1実施形態と同じ構造にすれば良い。このようにすれば、半導体チップ14の4辺側の4方向からアンダーフィル16を円滑に流入させて充填させることができる。なお、この場合には、必ずしも4方向から流入させる必要はなく、いずれかの方向からアンダーフィル16を流入させても良い。

【0023】[第2実施形態]次に、図11および図12を参照して、この発明の半導体チップの実装構造の第2実施形態について説明する。この場合には、図1～図4に示された第1実施形態と同一部分に同一符号を付して説明する。この半導体チップの実装構造は、多層配線基板1上の各パッド20のうち、最外周部における四隅の各パッド23の形状が第1実施形態と異なり、これ以外は第1実施形態とほぼ同じ構造になっている。

【0024】すなわち、多層配線基板1の第1基板材2上の各パッド20のうち、図11に示すように、最外周部における四隅の各パッド23は、その外側縁が半導体チップ14の外形とほぼ一致する大きさに形成されている。つまり、四隅の各パッド23は、これ以外の最外周

10

20

30

40

50

みによって、半導体チップ14の下面と多層配線基板1の最上面のレジスト膜11との間に隙間ができる。この状態で、半導体チップ14と多層配線基板1との隙間にエポキシ樹脂などのアンダーフィル16を流入させて充填させることにより、半導体チップ14を多層配線基板1上に固定している。

【0007】

【発明が解決しようとする課題】このような半導体チップ14の実装構造では、多層配線基板1のパッド10が衝撃などのストレスによって第1基板材2から剥離するのを防ぐために、第1基板材2に対するパッド10の接合面積を大きくして、第1基板材2に対するパッド10の接合強度を高めている。しかしながら、このような実装構造では、第1基板材2に対する各パッド10の接合面積を大きくすると、各パッド10間の隙間が狭くなるため、半導体チップ14の下面と多層配線基板1の最上面との間にアンダーフィル16を充填させるときに、パッド10間の隙間にアンダーフィル16が進入しにくく、確実にアンダーフィル16を充填させることができず、このため多層配線基板1に対する半導体チップ14の固定強度が低下し、固定状態が不安定になるという問題がある。

【0008】この発明の課題は、半導体チップと配線基板との間にアンダーフィルを円滑に進入させて、確実に半導体チップを配線基板上に固定させることである。

【0009】

【課題を解決するための手段】この発明は、半導体チップの裏面に設けられた複数のバンプ電極を、配線基板上面に設けられた複数のパッドに接続した後、前記半導体チップと前記配線基板との間にアンダーフィルを充填させてなる半導体チップの実装構造において、前記配線基板の複数のパッドの各コーナ部のうち、少なくとも前記アンダーフィルの進入方向における上流側の各コーナ部に円弧形状または傾斜形状の隅切り部を形成したことを特徴とする。

【0010】この発明によれば、配線基板に対する各パッドの接合強度を確保するために、各パッドを大きく形成し、これにより各パッド間の隙間が狭くなっても、アンダーフィルの進入方向における上流側の各コーナ部に円弧形状または傾斜形状の隅切り部を形成したので、半導体チップと配線基板との間にアンダーフィルを充填するときに、アンダーフィルを各パッド間に円滑に進入させることができ、これにより確実にアンダーフィルを充填させることができ、半導体チップを配線基板上に確実に固定させることができる。

【0011】この場合、請求項2に記載のごとく、複数のパッドのすべてのコーナ部に隅切り部を形成すれば、半導体チップと配線基板との間にアンダーフィルを充填するときに、半導体チップの4辺部のうち、そのすべての辺部またはそのいずれの辺部からでもアンダーフィル

を円滑に充填することができる。また、請求項3に記載のごとく、複数のパッドのうち、少なくとも最外周の隅部に位置するパッドを、その外側縁が半導体チップの外形とほぼ一致する大きさに形成すれば、最外周の隅部に位置するパッドによって半導体チップを位置合わせることができる。これにより半導体チップのバンプ電極と配線基板のパッドとを正確に位置合わせすることができる。

【0012】また、請求項4に記載のごとく、複数のパッドのうち、最外周に位置するパッドを、その外側縁がアンダーフィルの塗布範囲の外周とほぼ一致する大きさに形成し、かつ最外周の隅部に位置するパッドに半導体チップの位置合わせ部を設ければ、最外周の隅部に位置するパッドに設けられた半導体チップの位置合わせ部によって、半導体チップを容易に位置合わせすることができ、また最外周に位置するパッドによって、アンダーフィルの塗布範囲を確認することができ、これによりアンダーフィルを必要以上に塗布しないようにすることができる。

【0013】また、請求項5に記載のごとく、複数のパッドの外周側に位置する配線基板上面に半導体チップの位置合わせ部を設けると共に、アンダーフィルの塗布範囲の外周に位置する配線基板上面にアンダーフィルの流れ止め部を設ければ、配線基板上の半導体チップの位置合わせ部により半導体チップを容易に位置合わせすることができると共に、配線基板上のアンダーフィルの流れ止め部により、アンダーフィルの塗布範囲外にアンダーフィルが流出するのを防ぐことができ、これによりアンダーフィルの不必要な塗布を防ぐことができる。

【0014】

【発明の実施の形態】〔第1実施形態〕以下、図1～図4を参照して、この発明の半導体チップの実装構造の第1実施形態について説明する。なお、図18～図20に示された従来例と同一部分には同一符号を付して説明する。この半導体チップの実装構造は、多層配線基板1上の各パッド20のうち、所定箇所の各パッド20のコーナ部に傾斜形状の隅切り部21を形成した構造で、これ以外は従来例とほぼ同じ構造になっている。この場合、アンダーフィル16は、図1および図2に示すように、多層配線基板1上に半導体チップ14が配置された状態で、半導体チップ14の左辺側の一方向のみから半導体チップ14と多層配線基板1との間に流入して充填される。

【0015】そして、多層配線基板1の第1基板材2上の各パッド20のうち、図2において最外周部に位置するパッド20は、その内側の各コーナ部に傾斜形状の隅切り部21が形成されていると共に、アンダーフィル16が充填される半導体チップ14の左辺側に位置するパッド20の外側の各コーナ部にも傾斜形状の隅切り部21が形成されている。また、最外周部よりも内側に位置

ーフィル16を確実に充填させることができ、半導体チップ14を多層配線基板1上に確実かつ強固に固定させることができるほか、最外周部に位置するパッド26を、その外側縁がアンダーフィル16の塗布範囲の外周とほぼ一致する大きさに形成したので、これら最外周部に位置するパッド26によって、アンダーフィル16の塗布範囲を確認することができ、これによりアンダーフィル16を必要以上に塗布しないようにすることができる。また、最外周部の四隅に位置するパッド26がアンダーフィル16の塗布範囲程度に大きく形成されているので、これら四隅の各パッド26の接合強度を十分に高めることができるほか、これら四隅の各パッド26に半導体チップ14の位置合わせ凹部27を設けることができ、これら位置合わせ凹部27によって半導体チップ14を容易に位置合わせすることができる。

【0033】[第5実施形態]次に、図16および図17を参照して、この発明の半導体チップの実装構造の第5実施形態について説明する。この場合にも、図1～図4に示された第1実施形態と同一部分には同一符号を付して説明する。この半導体チップの実装構造は、多層配線基板28の配線状態を変え、この多層配線基板28上にアンダーフィル16の塗布範囲を規制するためのアンダーフィル16の流れ止め部29を枠状に設けた構造で、これ以外は第1実施形態とほぼ同じ構造になっている。すなわち、多層配線基板28は、最上部の第1基板材2の上面に設けられた各パッド20がI VH9により第2基板材3の第2配線6に接続されていることにより、最上部の第1基板材2の上面に第1配線5が設けられていない構造になっている。

【0034】アンダーフィル16の流れ止め部29は、多層配線基板28の第1基板材2上におけるアンダーフィル16の塗布範囲の外周とほぼ一致する箇所に各パッド20と同じ銅箔によって形成されている。また、この多層配線基板28の第1基板材2上には、半導体チップ14の位置合わせ凸部22が各パッド20と同じ銅箔によって形成されている。これら位置合わせ凸部22および流れ止め部29は、レジスト膜11によって覆われている。なお、アンダーフィル16は、多層配線基板1上に配置された半導体チップ14の4辺側の4方向から充填される。このため、多層配線基板1上のすべてのパッド20の各コーナ部は、最外周部の各パッド20の外側に位置するコーナ部を除いて、傾斜形状の隅切り部21が形成されている。

【0035】このような半導体チップ14の実装構造では、第1実施形態と同様、各パッド20間にアンダーフィル16を円滑に流入させることができ、これにより半導体チップ14と多層配線基板28との間にアンダーフィル16を確実に充填させることができ、半導体チップ14を多層配線基板28上に確実かつ強固に固定させることができると共に、多層配線基板28上に設けられた

位置合わせ凸部22により半導体チップ14を容易に位置合わせすることができるほか、特にアンダーフィル16の塗布範囲の外周に位置する多層配線基板28上に設けられたアンダーフィル16の流れ止め部29により、アンダーフィル16の塗布範囲外にアンダーフィル16が流出するのを防ぐことができ、これによりアンダーフィル16の不必要な塗布を防ぐことができる。

【0036】なお、上記第1～第5実施形態では、各パッド20、23、24、26のコーナ部に傾斜形状の隅切り部21を形成した場合について述べたが、これに限らず、各パッド20、23、24、26のコーナ部に円弧形状の隅切り部を形成した構造であっても良い。また、上記第1～第5実施形態では、配線基板として、多層配線基板1または28を用いた場合について述べたが、これに限らず、両面配線基板などの配線基板を用いても良い。

【0037】

【発明の効果】以上説明したように、この発明によれば、半導体チップの裏面に設けられた複数のバンプ電極を、配線基板の上面に設けられた複数のパッドに接続した後、半導体チップと配線基板との間にアンダーフィルを充填させてなる半導体チップの実装構造において、配線基板の複数のパッドの各コーナ部のうち、少なくともアンダーフィルの進入方向における上流側の各コーナ部に円弧形状または傾斜形状の隅切り部を形成したので、半導体チップと配線基板との間にアンダーフィルを充填するときに、各パッド間の隙間が狭くても、アンダーフィルを各パッド間に円滑に進入させることができ、これにより確実にアンダーフィルを充填させることができ、半導体チップを配線基板上に確実に固定させることができる。

【0038】この場合、複数のパッドのすべてのコーナ部に隅切り部を形成すれば、半導体チップと配線基板との間にアンダーフィルを充填するときに、半導体チップの4辺部のうち、そのすべての辺部またはそのいずれの辺部からでもアンダーフィルを円滑に充填することができる。また、複数のパッドのうち、少なくとも最外周の隅部に位置するパッドを、その外側縁が半導体チップの外形とほぼ一致する大きさに形成すれば、最外周の隅部に位置するパッドによって半導体チップを位置合わせることができる。これにより半導体チップのバンプ電極と配線基板のパッドとを正確に位置合わせすることができる。

【0039】また、複数のパッドのうち、最外周に位置するパッドを、その外側縁がアンダーフィルの塗布範囲の外周とほぼ一致する大きさに形成し、かつ最外周の隅部に位置するパッドに半導体チップの位置合わせ凹部を設ければ、最外周の隅部に位置するパッドに設けられた半導体チップの位置合わせ凹部によって、半導体チップを容易に位置合わせすることができ、また最外周に位置

10

20

30

40

50

部の各パッド20よりも外側に突出して大きく形成されている。この場合、アンダーフィル16は、多層配線基板1上に配置された半導体チップ14の4辺側の4方向から充填される。このため、多層配線基板1上のすべてのパッド20、23の各コーナ部は、最外周部における四隅の各パッド23の最も外側に位置するコーナ部を除いて、傾斜形状の隅切り部21が形成されている。

【0025】このような半導体チップ14の実装構造では、第1実施形態と同様、各パッド20および23間にアンダーフィル16を円滑に流入させることができ、これにより半導体チップ14と多層配線基板1との間にアンダーフィル16を確実に充填させることができ、半導体チップ14を多層配線基板1上に確実かつ強固に固定させることができるほか、特に最外周部における四隅の各パッド23を、その外側縁が半導体チップ14の外形とほぼ一致する大きさに形成したので、第1実施形態のように位置合わせ凸部22を別に設けなくても、最外周部における四隅の各パッド23によって半導体チップ14を多層配線基板1上に位置合わせすることができると共に、四隅の各パッド23を大きく形成したので、多層配線基板1に対する四隅の各パッド20の接合強度をも高めることができる。

【0026】なお、上記第2実施形態では、多層配線基板1上の最外周部における四隅の各パッド23を大きく形成した場合について述べたが、これに限らず、例えば図13に示すように構成しても良い。すなわち、この図13に示された変形例は、最外周部に位置するすべての各パッド24を、その外側縁が半導体チップ14の外形とほぼ一致する大きさに形成した構造になっている。このようにすれば、最外周部に位置するすべての各パッド24によって半導体チップ14を多層配線基板1上に位置合わせすることができると共に、多層配線基板1に対する最外周部の各パッド24の接合強度をも高めることができる。

【0027】[第3実施形態]次に、図14を参照して、この発明の半導体チップの実装構造の第3実施形態について説明する。この場合にも、図1～図4に示された第1実施形態と同一部分には同一符号を付して説明する。この半導体チップの実装構造は、多層配線基板1上に半導体チップ14の位置合わせ凸部22を設けると共に、この位置合わせ凸部22よりも外側に位置する箇所の多層配線基板1上に、アンダーフィル16の塗布範囲を規制するためのアンダーフィル16の流れ止め部25を設けた構造で、これ以外は第1実施形態とほぼ同じ構造になっている。

【0028】すなわち、アンダーフィル16の流れ止め部25は、多層配線基板1上におけるアンダーフィル16の塗布範囲の外周に位置する四隅および各辺部にそれぞれ設けられている。この場合、各辺部に位置する各流れ止め部25は、各辺部のほぼ中間部分に位置して設け

られている。このため、第1基板材2の上面に形成された第1配線5は、各辺部の流れ止め部25を避けて形成されている。また、アンダーフィル16は、多層配線基板1上に配置された半導体チップ14の4辺側の4方向から充填される。このため、多層配線基板1上のすべてのパッド20の各コーナ部は、最外周部における四隅の各パッド20の最も外側に位置するコーナ部を除いて、傾斜形状の隅切り部21が形成されている。

【0029】このような半導体チップ14の実装構造では、第1実施形態と同様、各パッド20間にアンダーフィル16を円滑に流入させることができ、これにより半導体チップ14と多層配線基板1との間にアンダーフィル16を確実に充填させることができ、半導体チップ14を多層配線基板1上に確実かつ強固に固定させることができると共に、多層配線基板1上に設けられた位置合わせ凸部22により半導体チップ14を容易に位置合わせすることができるほか、特にアンダーフィル16の塗布範囲の外周に位置する箇所の多層配線基板1上に設けられたアンダーフィル16の流れ止め部25により、アンダーフィル16の塗布範囲外にアンダーフィル16が流出するのを規制することができ、これによりアンダーフィル16の不必要な塗布を防ぐことができる。

【0030】[第4実施形態]次に、図15を参照して、この発明の半導体チップの実装構造の第4実施形態について説明する。この場合にも、図1～図4に示された第1実施形態と同一部分には同一符号を付して説明する。この半導体チップの実装構造は、多層配線基板1上の各パッド20のうち、最外周部に位置する各パッド26をアンダーフィル16の塗布範囲程度に大きく形成した構造で、これ以外は第1実施形態とほぼ同じ構造になっている。

【0031】すなわち、多層配線基板1の第1基板材2上の各パッド20のうち、図15に示すように、最外周部に位置する各パッド26は、その外側縁がアンダーフィル16の塗布範囲の外周とほぼ一致する大きさに形成されている。この場合、アンダーフィル16の塗布範囲は、半導体チップ14の外形よりも十分に大きく設定されている。また、これら最外周部に位置する各パッド26のうち、四隅に位置するパッド26には、半導体チップ14の外形の四隅にほぼ一致する位置合わせ凹部27が設けられている。また、アンダーフィル16は、多層配線基板1上に配置された半導体チップ14の4辺側の4方向から充填される。このため、多層配線基板1上のすべてのパッド20、26の各コーナ部は、最外周部の各パッド26の外側に位置するコーナ部を除いて、傾斜形状の隅切り部21が形成されている。

【0032】このような半導体チップ14の実装構造では、第1実施形態と同様、各パッド20、26間にアンダーフィル16を円滑に流入させることができ、これにより半導体チップ14と多層配線基板1との間にアンダ

10

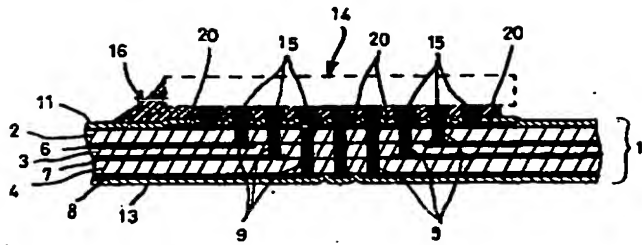
20

30

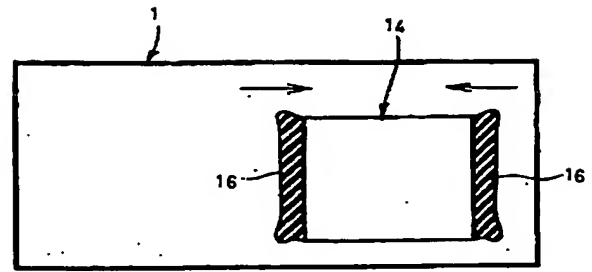
40

50

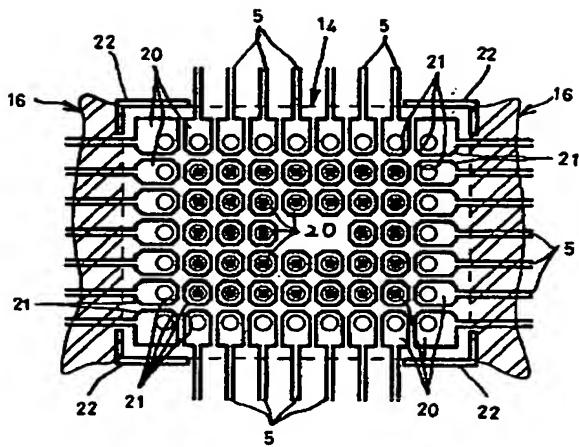
【 図3 】



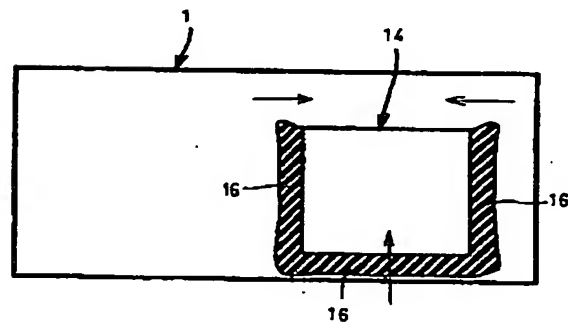
【 図5 】



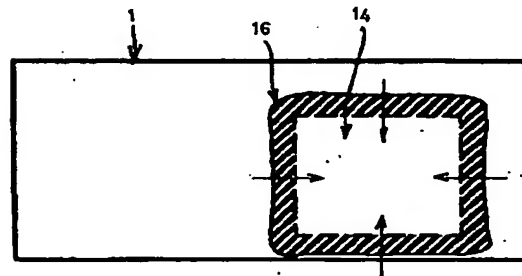
【 図6 】



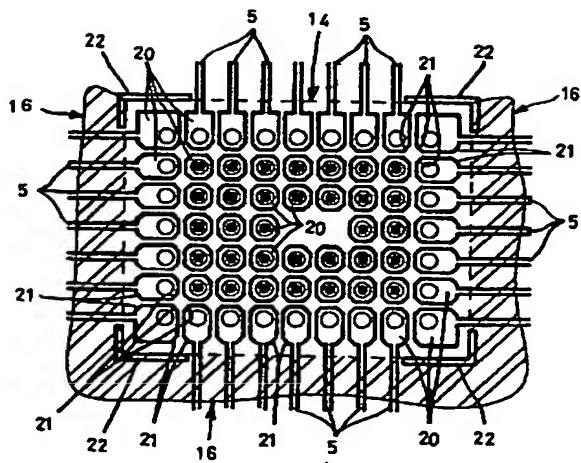
【 図7 】



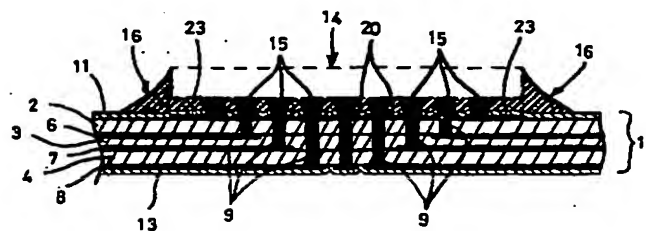
【 図9 】



【 図8 】



【 図12 】



するパッドによって、アンダーフィルの塗布範囲を確認することができ、これによりアンダーフィルを必要以上に塗布しないようにすることができる。

【0040】また、複数のパッドの外周側に位置する配線基板の上面に半導体チップの位置合わせ部を設けると共に、アンダーフィルの塗布範囲の外周に位置する配線基板の上面にアンダーフィルの流れ止め部を設ければ、配線基板上の半導体チップの位置合わせ部により半導体チップを容易に位置合わせすることができると共に、配線基板上のアンダーフィルの流れ止め部により、アンダーフィルの塗布範囲外にアンダーフィルが流出するのを防ぐことができ、これによりアンダーフィルの不必要な塗布を防ぐことができる。

【図面の簡単な説明】

【図1】この発明の半導体チップの実装構造の第1実施形態を示した全体の平面図。

【図2】図1の半導体チップを取り除いた状態の拡大平面図。

【図3】図2の断面図。

【図4】図2の1つのパッドを示した拡大図。

【図5】第1実施形態の第1変形例を示した全体の平面図。

【図6】図5の半導体チップを取り除いた状態の拡大平面図。

【図7】第1実施形態の第2変形例を示した全体の平面図。

【図8】図7の半導体チップを取り除いた状態の拡大平面図。

【図9】第1実施形態の第3変形例を示した全体の平面図。

【図10】図9の半導体チップを取り除いた状態の拡大

平面図。

【図11】この発明の半導体チップの実装構造の第2実施形態において半導体チップを取り除いた状態の拡大平面図。

【図12】図11の断面図。

【図13】第2実施形態の変形例を示した拡大平面図。

【図14】この発明の半導体チップの実装構造の第3実施形態において半導体チップを取り除いた状態の拡大平面図。

【図15】この発明の半導体チップの実装構造の第4実施形態において半導体チップを取り除いた状態の拡大平面図。

【図16】この発明の半導体チップの実装構造の第5実施形態において半導体チップを取り除いた状態の拡大平面図。

【図17】図16の断面図。

【図18】従来の半導体チップの実装構造において半導体チップを取り除いた状態の拡大平面図。

【図19】図18の断面図。

【図20】図18の1つのパッドを示した拡大図。

【符号の説明】

1、28 多層配線基板

14 半導体チップ

15 バンプ電極

16 アンダーフィル

20、23、24、26 パッド

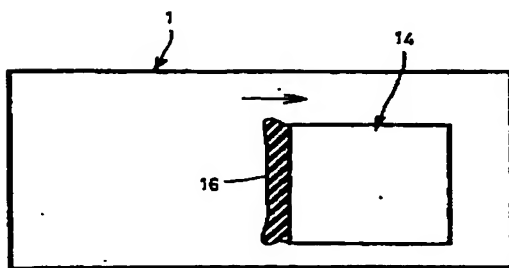
21 隅切り部

22 位置合わせ凸部

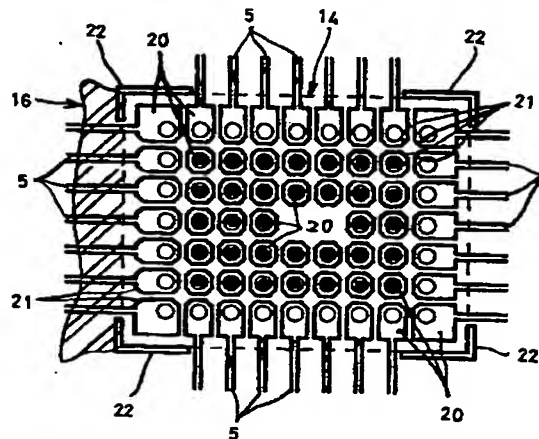
25、29 流れ止め部

27 位置合わせ凹部

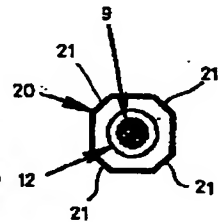
【図1】



【図2】



【図4】



【図20】

